

CLIPPEDIMAGE= JP02001284357A  
PAT-NO: JP02001284357A  
DOCUMENT-IDENTIFIER: JP 2001284357 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: October 12, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
KAWAI, EIJI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP2000095556  
APPL-DATE: March 30, 2000

INT-CL (IPC): H01L021/3205; H01L021/82 ; H01L027/04 ;  
H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To make illegal copy and pattern analysis difficult by adding dummy wirings.

SOLUTION: The semiconductor device is composed of a semiconductor substrate and a plurality of multilayered metal wiring layers, formed on the substrate for interconnecting a plurality of circuit elements formed on the substrate. Many dummy wirings 50, 52 are formed on one upper metal wiring layer among the metal wiring layer, utilizing empty regions 36, 38 of real wiring patterns 24, 28 formed on the one wiring layer. The dummy wirings utilize quasi-wiring patterns, resembling compact patterns of the real wiring patterns or resembling the real wiring patterns. The dummy wirings make difficult strict distinction between the real and dummy wiring patterns, thereby preventing the illegal copying by optical reverse engineering or the circuit

analysis for illegal use.

COPYRIGHT: (C) 2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284357

(P2001-284357A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L	21/3205	H 0 1 L 21/88	S 5 F 0 3 3
	21/82	21/82	W 5 F 0 3 8
	27/04	27/04	D 5 F 0 6 4
	21/822		

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2000-95556(P2000-95556)

(22) 出願日 平成12年 3 月30日 (2000. 3. 30)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 川井 英次

東京都品川区北品川 6 丁目 7 番35号 ソニー株式会社内

(74) 代理人 100090376

弁理士 山口 邦夫 (外 1 名)

F ターム (参考) 5F033 HH07 JJ07 KK07 RR04 UU04

VV01 VV02 XX00 XX01

5F038 CA16 CA18 CD05 CD10 DF01

EZ01 EZ20

5F064 EE06 EE22 EE23 EE26 EE51

IIIH20

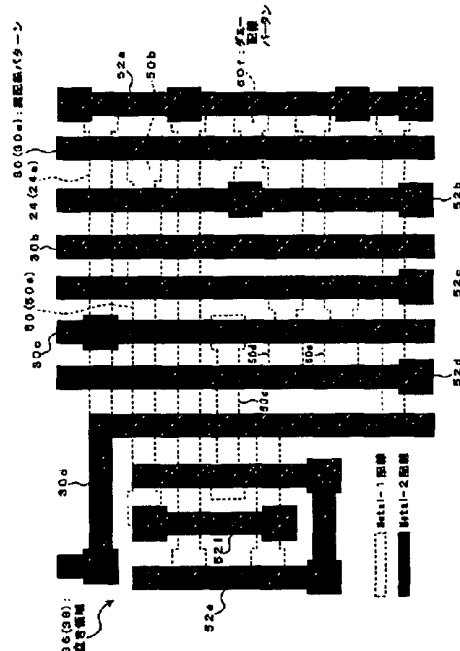
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】ダミー配線部を追加して不正コピー、パターン解析を困難にする。

【解決手段】半導体基板と、この半導体基板に形成される複数の回路素子間を接続するため、この半導体基板上に形成された複数の多層メタル配線層とで構成され、メタル配線層のうち上層部のメタル配線層には、このメタル配線層に形成された実配線パターン 24、28 の空き領域 36、38 を利用して多数のダミー配線部 50、52 が形成される。ダミー配線部としては実配線パターンのコンタクトパターンと類似するか、実配線パターンと類似する疑似配線パターンを利用する。ダミー配線部があるので、実配線パターンとダミー配線パターンとを識別することが困難になり、これによって光学的なリバーシエンジニアリングによる不正コピーや、不正使用目的の回路解析を防止する。

図1 配線を入れたメタル配線パターンの透視図



## 【特許請求の範囲】

【請求項1】 半導体基板と、この半導体基板に形成される複数の回路素子間を接続するため、この半導体基板上に形成された複数の多層メタル配線層とで構成され、上記メタル配線層のうち上層部のメタル配線層には、このメタル配線層に形成された実配線パターンの空き領域を利用して多数のダミー配線部が形成されたことを特徴とする半導体装置。

【請求項2】 上下に位置するメタル配線層のそれぞれに上記ダミー配線部を形成するときには、上下のダミー配線部が完全には重ならないように、相互の位置関係が選定されたことを特徴とする請求項1記載の半導体装置。

【請求項3】 上記ダミー配線部は、同一形状をなす複数のタイル状パターン部で構成されたことを特徴とする請求項1記載の半導体装置。

【請求項4】 上記ダミー配線部は、上記実配線パターンと同一又は類似するダミー配線パターンであることを特徴とする請求項1記載の半導体装置。

【請求項5】 上記ダミー配線部は、上記実配線パターンのコンタクト部のパターンと同一のコンタクトパターン部であることを特徴とする請求項3記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、多層配線層を有するLSIチップなどに適用できる半導体装置に関する。詳しくは、多層配線層に形成された実配線パターンの空き領域を利用して、ダミー配線部を形成することによって、光学的なリバースエンジニアリングによる不正コピーや、不正使用目的の回路解析を防止できるようにしたものである。

## 【0002】

【従来の技術】正当な権利を有さない企業や個人が、特定の半導体チップの内容を不正に解析するいわゆるリバースエンジニアリングが横行し、機能同等品を無断で製造、販売するケースが後を絶たない。これらの海賊業者は機能同等品を不正にコピーすることで、正当な権利を有さないまま正規機器のコピー品、いわゆる海賊品を不正に販売したり、半導体チップに埋め込まれたコピー防止回路に対する回避装置を開発し、正規機器上でのみ動作するはずの正規のコンテンツを不正にコピーして販売しているケースが多く見受けられるようになってきた。

【0003】このようなリバースエンジニアリングの攻撃を防御するために半導体チップ表面からの解析を困難にする工夫がなされている。その手法の代表的なものは、多層メタル配線構造とすることである。多層メタル配線化とすることによって顕微鏡による配線構造の解析を困難にさせている。

【0004】多層メタル配線法を図8を参照して説明す

る。図8は多層配線層を有したLSIチップ10の断面図であって、極めて大まかな概念図である。このLSIチップ10は半導体基板(N型若しくはP型のサブストレート)12を有し、その表面側より、同種若しくは異種の回路素子16、18が多数形成されて、回路素子部14が構成される。回路素子部14には多数のトランジスタ、ダイオード、抵抗層、コンデンサ素子、さらにはインシュレータ20などが超高密度に集積するように形成されている。

【0005】半導体基板12の表面側には多層構成の複数の配線層が形成される。通常は4層以上の場合が多いが、図の例では2層構造のものを例示する。第1層22は半導体基板12の表面にSiO<sub>2</sub>のような所定の厚みを有する絶縁層23が設けられ、この絶縁層23の表面にアルミなどを使用した第1のメタル配線層(実配線パターン層)24が蒸着などの手法を用いて形成される。そしてこの第1のメタル配線層24と回路素子部14との電気的な接続を図るために適当な個所に複数のスルホール26が形成されており、これによって回路素子部14とのコンタクトがとられる。

【0006】第1層22の上面にはさらに第2層28が同様な手法によって形成される。つまり、適当な厚みの絶縁層29を設け、この絶縁層29の表面に第2のメタル配線層30が形成される。第2のメタル配線層30も実配線パターンであって、第1層22に設けられた第1のメタル配線層24あるいはその下の回路素子部14との間のコンタクトをとるため、複数のスルホール32が形成される。第2層28の表面はSiO<sub>2</sub>などの保護層33によって被覆される。

【0007】第1層22および第2層28に設けられた実配線パターンの一例を図9以下に示す。図9に示す第1層22に形成される第1のメタル配線層24としては、図のように、主として横方向の配線を主体としたメタル層の配線パターンを示す。

【0008】この第1層22に積層する第2層28に設けられる第2のメタル配線層30としては図10のように、縦方向を主体としたメタル層の配線パターンを示す。第1と第2のメタル配線層24、30を重ねると図11のようになる。

【0009】このように多層配線構造とすることによって、チップ面積を小型にできることに加え、多層化によってメタル配線層の解析を困難にしている。

【0010】他の手法としては半導体チップの最上層部(図8では保護層33)の全面をメタル層で覆ってしまう方法が考えられる。この保護層33によって顕微鏡による光学的なパターン解析や回路解析を困難にしている。

## 【0011】

【発明が解決しようとする課題】しかし、第1の手法である多層メタル配線の場合であっても、2焦点顕微鏡を

使用して第1層22や第2層28に形成されたメタル配線層24、30などを観察すると、これら複数のメタル配線層24、30を同時に観測できてしまうので、各層のメタル配線状態を解析できることになる。したがって、多層メタル配線手法もあまり効果がない。

【0012】また、このような顕微鏡を使用しないでも上層のみを溶解させる手法を利用して、各層ごとにメタル配線パターンを解析する手法も出現しているから、多層メタル配線方法も有効な防止手段とはいえない。

【0013】第2の手法であるメタル層で最上層を覆うものでは、これもエッチングによって最上層のみを溶解する事ができるので、エッチング解析に対して無防備になってしまう。さらにこのように専用の配線層を追加することは、半導体製造プロセスに関してマスクの枚数や製造工程数が増えることになるので、コストアップを招来する問題を持っている。

【0014】そこで、この発明はこのような従来の課題を解決したものであって、多層メタル配線構造の半導体装置において、各メタル配線層にダミー配線部を埋め込むことによって、光学的あるいは化学的なメタル配線層の解析を困難にして、不正コピーや不正な回路解析を防護できるようにした半導体装置を提案するものである。

【0015】

【課題を解決するための手段】上述の課題を解決するため、請求項1に記載したこの発明に係る半導体装置では、半導体基板と、この半導体基板上に形成される複数の回路素子間を接続するため、この半導体基板上に形成された複数の多層メタル配線層とで構成され、上記メタル配線層のうち上層部のメタル配線層には、このメタル配線層に形成された実配線パターンの空き領域を利用して多数のダミー配線部が形成されたことを特徴とする。

【0016】この発明では、多層配線層として機能するメタル配線層（第1層あるいは第2層）に形成された実配線パターンの空き領域を利用して多数のダミー配線部が形成される。このダミー配線部を上下のメタル配線層に形成する。上下のメタル配線層は重なり合っているため、ダミー配線部があたかもそのメタル配線層のコンタクトパターンとして機能しているように観測されたり、ダミー配線部そのものが実配線パターンと同じものと判断する可能性が高くなる。これは実配線パターンと同じようなパターン配線と見られる可能性が高いからである。したがって実配線パターンの解析が困難になり、不正コピーの横行や不正使用目的の回路解析の横行などを抑止できるなどの効果がある。

【0017】

【発明の実施の形態】続いて、この発明に係る多層配線構造を有する半導体装置の一実施の形態を図面を参照して詳細に説明する。この発明においても、半導体装置としては、多層配線構造を採用したLSIチップなどの半導体装置を例示する。

【0018】図1はこの半導体装置10の断面図であって、図8の従来例と同様に極めて概念的な図となっている。

【0019】この半導体装置10も、半導体基板12と、この半導体基板12に形成された多数の回路素子部14と、複数の回路素子間の電気的な接続を図るための複数の配線層で構成される。図1の場合も説明の便宜上多層配線層としては2層構造を例示する。

【0020】図1に示すLSIチップ10においても、シリコンなどの半導体基板12を有し、その表面側に多数の回路素子が高密度に組み込まれて回路素子部14が構成される。この回路素子部14に対するパターン接続用として第1層22と第2層28が設けられる。第1層22は所定の厚みを有したSiO<sub>2</sub>などの絶縁層23と、その上面に形成された第1のメタル配線層（実配線パターン）24とで構成され、絶縁層23には回路素子部14とのコンタクトをとるため複数のスルホール26が穿設されている。同様に、第2層28もSiO<sub>2</sub>からなる絶縁層29が設けられ、そしてその上面に第2のメタル配線層（実配線パターン）30が蒸着およびエッチング処理などの手法によって形成される。

【0021】この発明では、これら第1層22および第2層28のそれぞれに形成された実配線パターンであるメタル配線層24、30の空き領域を利用してダミー配線部（40、42）が形成される。

【0022】ダミー配線部としては少なくとも2種類の配線形態が考えられる。第1のダミー配線部は、実配線パターンに設けられたコンタクトパターン部と同一形状をなすタイル状パターン部を複数空き領域に埋め込むようにして形成する場合であり、第2のダミー配線部としては、実配線パターンと同じような疑似配線パターン層を、複数同じく空き領域に埋め込んで形成する場合である。

【0023】図2～図4の実施形態は、タイル状パターン部を用いた場合であり、図5～図7に示す実施の形態は、ダミー配線パターン部を用いた場合である。以下説明する実施の形態は、2層構造の半導体装置に適用した場合であり、しかも第1のメタル配線層24は主として横方向の配線を主体としたメタル配線層であるのに対して、第2のメタル配線層30は主として縦方向の配線を主体としたメタル配線層となされた半導体装置（LSIチップ）10に適用した場合を説明する。したがってメタル配線層24、30のパターンは従来例として説明した図9および図10に示すパターンとする。

【0024】第1層22に形成された第1のメタル配線層24から図2を参照して説明する。図2は第1のメタル配線層24（図9）に存在する空き領域（隙間）36を利用して、一定のルールに基づいて実配線パターンのコンタクトパターンと同一若しくは近似したパターンに選ばれたタイル状パターン部40が複数、挿入される。

図2の場合には各金属配線層24a, 24b, 24c, ...によって挟まれた空き領域36がほぼ均一に埋め尽くされるように、複数のタイル状パターン部40が形成される。

【0025】タイル状パターン部40を形成する上述した一定のルールとは、この半導体装置10の製造プロセスにおいて適応されるデザインルール（金属配線層形成ルール）の範囲内において、空き領域36に同一形状のダミーパターンを埋め込むルールを言う。

【0026】このタイル状パターン部40の埋め込みは、通常のレイアウト設計が終了した後に、専用のソフトウェアを利用して自動的に生成する。若しくは手動で生成する。ただし、タイル状パターン部40をどのように埋め込むかが決定されたときには、同一のマスクを利用して図2全体の配線パターンを、タイル状パターン部40を含めて一挙に形成できるから、タイル状パターン部40を設けることによる製造工程数の増加はない。

【0027】ダミー配線部は第2層28においても、実配線パターンの空き領域を利用して埋め込まれる。図3はその一実施の形態を示すもので、縦方向に配列された複数の金属配線層30（30a, 30b, ...）の空き領域38に、図2と同様に、同一形状をなす複数のタイル状パターン部42が一定のルールに基づいて埋め込まれる。

【0028】ここに、一定のルールとは、上述したと同様にこの半導体装置10の製造プロセスにおいて適応されるデザインルール（金属配線層形成ルール）の範囲内において、空き領域38に同一形状のダミーパターンを埋め込むルールを言う。

【0029】このようなルールにしたがってタイル状パターン部42を空き領域38内に複数埋め込むと、全体としては図3のような配線パターンとなる。したがって第1層22と第2層28とを重ね合わせると、図4のような配線パターンとなる。

【0030】第1層22に形成されるタイル状パターン部40と、第2層28に形成されるタイル状パターン部42とは、完全に重ならないようにレイアウトされた例が図4の例であるが、完全に重複するようにタイル状パターン部40と42を配置することも可能である。

【0031】この配線パターンを図11に示した従来の配線パターンと比較すれば明らかなように、この発明による場合の方が配線の込み具合が遙かに多い。したがって図9よりは図2の方が、あるいは図10よりは図3の方が、配線パターンを解析する難度が格段に高くなる。これはダミー配線部40, 42のパターン形状が、実配線パターンに設けられたコンタクトパターンの形状と類似しているために、2焦点の顕微鏡などを使用して光学的に金属配線層を解析しようとしても、どの金属配線層が正規の金属配線層であるかを判別するのが困難になるからである。

【0032】図5以下はダミー配線部として疑似配線パターンを使用した場合の実施の形態を示す。すなわち、ダミー配線部としては実配線パターンと同一若しくは類似するパターンとなされた疑似配線パターンを用いる。この疑似配線パターンがそれぞれの空き領域に埋め込まれる。

【0033】この実施の形態においても、第1の金属配線層24としては図9に示した横方向の配線を主体とした金属配線層が形成されたものが使用され、第2の金属配線層30としては図10に示す縦方向の配線を主体とした金属配線層が形成されたものが使用された多層配線層に適用した場合である。

【0034】この実施の形態でも、第1層22における実配線パターン24（24a, 24b, 24c, ...）の空き領域36内に、一定のルールに基づいて実配線パターン24に類似した疑似配線パターン（騙し配線パターン）よりなるダミー配線部50（50a, 50b, 50c, ...）が埋め込まれる。

【0035】図5の例では、実配線パターン24として直線パターンの他に、分岐パターンを持った直線パターンや、屈曲パターンがレイアウトされているが、疑似配線パターンとしては直線パターンのみが使用されている。もちろん実配線パターンと同様に、空き領域36の形に応じて分岐パターンをもった直線パターンや屈曲パターンを使い分けてダミー配線部50を構成することもできる。

【0036】上述した一定のルールとは、半導体製造プロセスにおいて適応されるデザインルール（金属配線層形成ルール）の範囲内において、空き領域に、埋め込むべき領域に存在する正規配線パターンと類似する形状の疑似配線パターンを埋め込むルールを言う。

【0037】この疑似配線パターンの生成および埋め込みは、通常のレイアウト設計が終了した後に、専用のソフトウェアを利用して自動的に生成する。若しくは手動で生成する。疑似配線パターンの埋め込みは実配線パターンと同一工程で行うことができるから、疑似配線パターンを埋め込むための専用の工程は要らない。

【0038】疑似配線パターンは、第2層28においても、図6のように上述したのと同じルールに基づいて実配線パターン30に類似した疑似配線パターン（騙し配線パターン）よりなるダミー配線部52（52a, 52b, 52c, ...）が、空き領域38内に埋め込まれる。

【0039】図6の実施の形態では、空き領域38の形に応じて分岐パターンをもった直線パターンや屈曲パターンからなる疑似配線パターンを使用してダミー配線部50が構成される。

【0040】第1層22と第2層28とを重ね合わせ、これを上から透視したとすると、図7のような配線パターンとなる。これらの配線パターンを比較すれば明らか

のように、ダミーパターンのない図9や図10に比べて、図5あるいは図6の方が、配線の込み具合が遙かに多くなっていることが判る。したがって図9よりは図5の方が、あるいは図10よりは図6の方が、配線パターンを解析する難度が遙かに高くなる。

【0041】これは疑似配線パターンのパターン形状が、実配線パターンのパターン形状と類似しているために、2焦点の顕微鏡などを使用して光学的にメタル配線層を解析しようとしても、どのメタル配線層が正規の配線層であるかを判別するのが困難になるからである。そして、タイル状のダミーパターンを使用する場合よりも、配線パターン自体が非常に複雑に入り組んでいるから、図4の場合よりもパターン解析、回路解析が困難になる。

【0042】この疑似配線パターンを利用する場合には、エッチングなどの化学的手段を使用しても正規の配線パターンを解析するのが困難になりなるから、不正コピーなどを防止するための対抗手段として極めて有効である。

【0043】このように、この発明によれば、元々通常のメタル配線層の空き領域にダミー配線部を追加するだけであるから、エッチング処理するためのマスクの枚数や製造時のプロセス数の増加がない。したがって、製造コストや製造TAT (Turn Around Time) にはいっさい影響しない。

【0044】さらに一般的にメタル配線層の空き領域をメタル層で埋めることは多層配線プロセスにおいて最も重要である層表面の平坦化にも寄与することになる。ダミー配線層を埋め込むことによってメタル表面の凹凸が少なくなるからである。通常この課題に対処するために化学的機械研磨 (CMP) と呼ばれる特殊行程を適応しているので、ダミー配線層の追加によってこの特殊行程を省くことができる場合があるからである。

【0045】この特殊行程を省ければ、半導体製造プロセスにおいて、固定費、製造工程数ともに低減できることになるから、大幅なコストダウンにつながるようになる。

【0046】

【発明の効果】以上説明したように、この発明ではメタル配線層の空き領域にダミー配線層を付加し、好ましくはこれを多層配線構造としたものである。これによれば、以下のような効果が得られる。

(1) ダミー配線層があるために、不正コピーを目的とした顕微鏡などによる光学的な解析をきわめて困難にすることができる。

(2) 化学的エッチングを手法とした不正解析にも対処できる。

(3) メタル配線層の空き領域を利用してダミー配線層を追加するので、マスク枚数や工程数ともに増加しないので、コストアップなしに不正コピーなどに対処できる高い防御性を発揮できる。

(4) メタル配線層の空き領域にダミー配線層を追加することによって、メタル配線層表面の平坦化を達成できるから、CMPなどの表面平坦化処理工程を省くことも可能であり、この行程が省ける場合には、半導体製造プロセスにおける固定の製造費や製造工程数ともに削減できるから半導体製造費の大幅なコストダウンを図ることができる。

【0047】したがってこの発明に係る半導体装置は、多層配線構造を採用したLSIや超LSIなどの半導体チップに適用して極めて好適である。

【図面の簡単な説明】

【図1】この発明に係る半導体装置を多層配線構造の半導体装置に適用したときの一実施の形態を示す概念的な説明に使用される断面図である。

【図2】多層配線構造の半導体装置に適用したときの一実施の形態を示す第1層の配線パターン図である。

【図3】同様に、この発明を適用した第2層の配線パターン図である。

【図4】第1層と第2層とを重ね合わせたときの配線パターンの透視図である。

【図5】この発明に係る半導体装置を多層配線構造の半導体装置に適用したときの他の実施の形態を示す第1層の配線パターン図である。

【図6】同様に、この発明を適用した第2層の配線パターン図である。

【図7】第1層と第2層とを重ね合わせたときの配線パターンの透視図である。

【図8】従来の多層配線構造の半導体装置における概念的な説明に使用される断面図である。

【図9】この多層配線構造の半導体装置に設けられた第1層の配線パターン図である。

【図10】同様に、第2層の配線パターン図である。

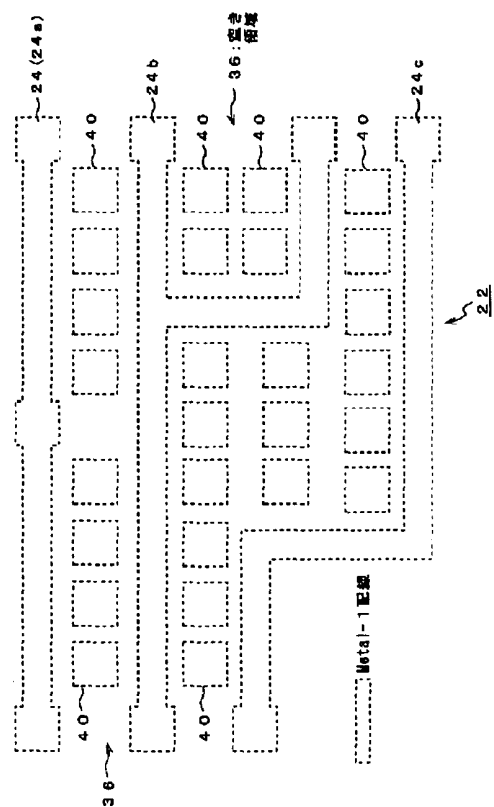
【図11】第1層と第2層とを重ね合わせたときの配線パターンの透視図である。

【符号の説明】

10・・・半導体装置 (LSIチップ)、12・・・半導体基板、14・・・回路素子部、22・・・多層配線用の第1層、24・・・第1のメタル配線層 (実配線パターン)、28・・・第2層、30・・・第2のメタル配線層、40、42・・・ダミー配線部 (タイル状パターン部)、50、52・・・ダミー配線部 (疑似配線パターン)

【図2】

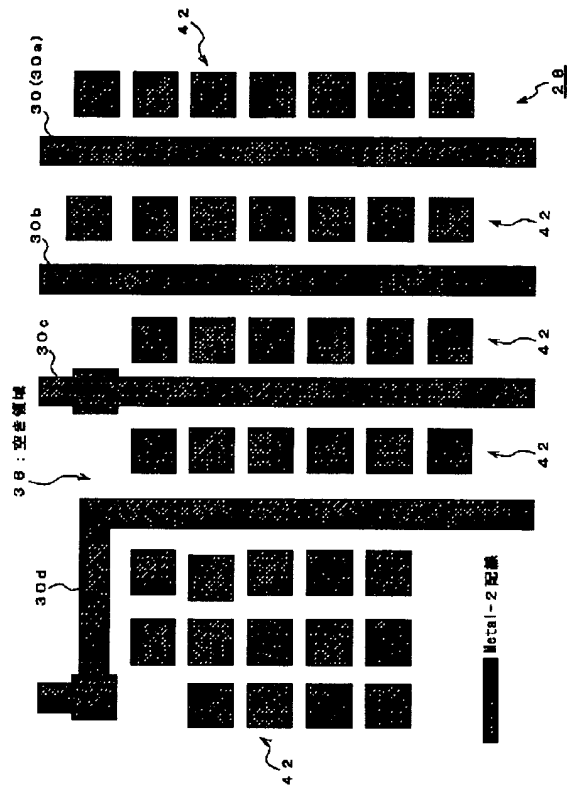
ダミーを入れた第1層目のメタル配線パターンの例





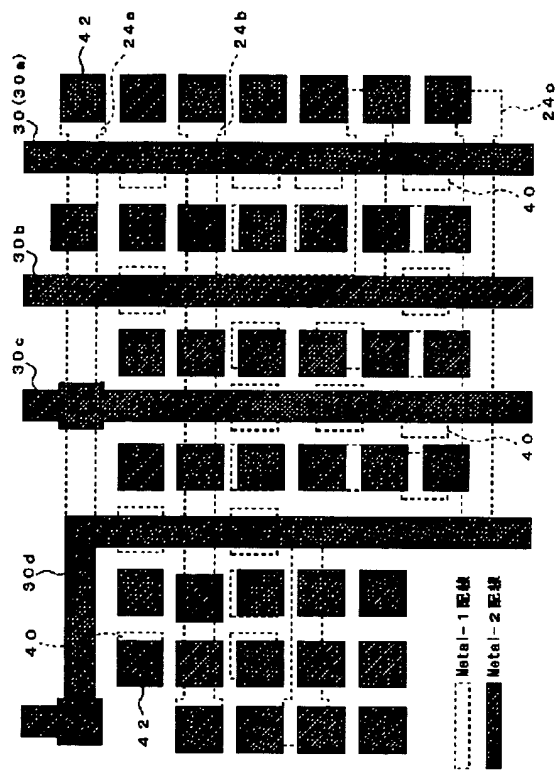
【図3】

ダミーを入れた第2層目のメタル配線パターンの例



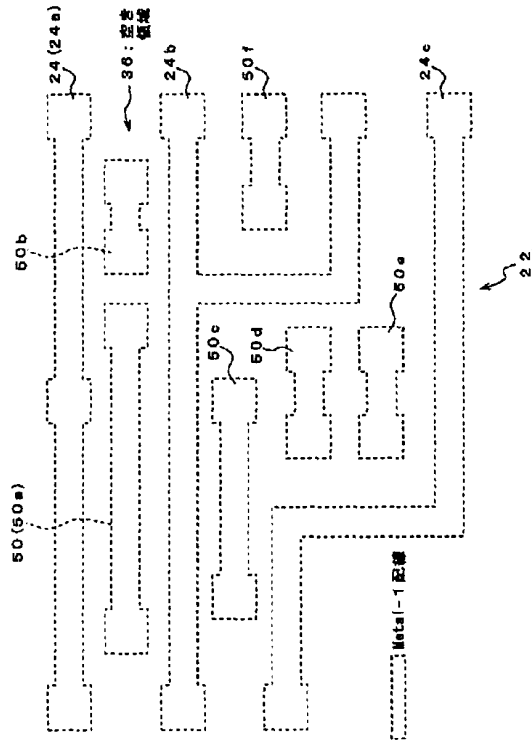
【図4】

ダミーを入れたメタル配線パターンの透視図



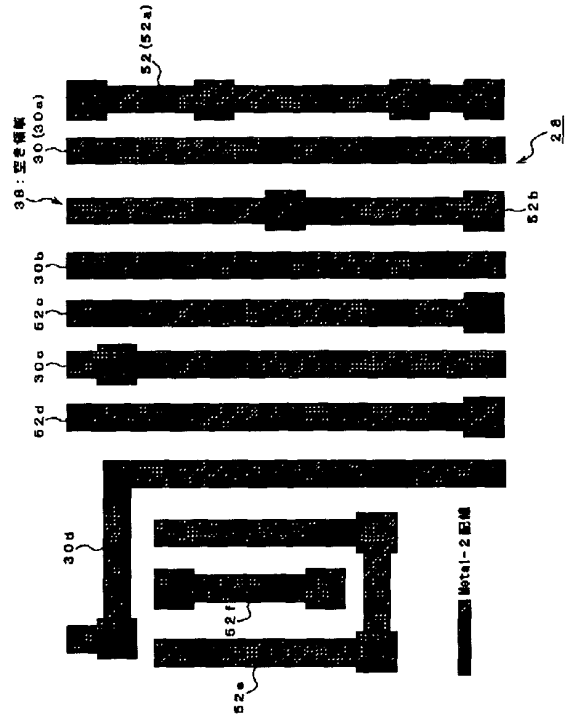
【図5】

図5 導し配線を入れた第1層目のメタル配線パターンの例



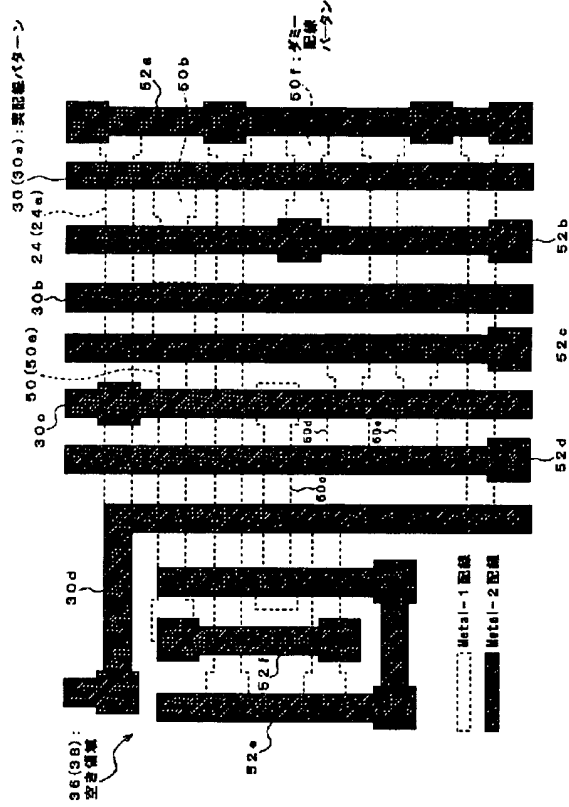
【図6】

図6 導し配線を入れた第2層目のメタル配線パターンの例



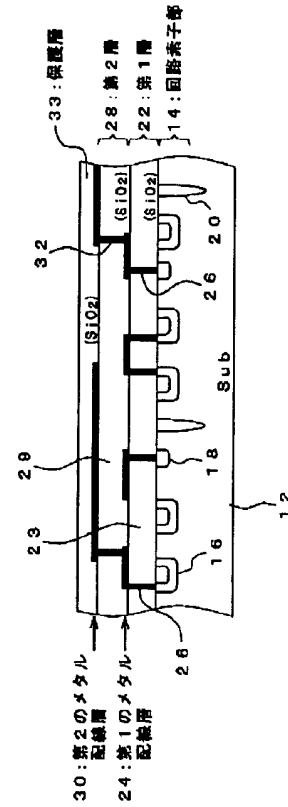
【図7】

導し配線を入れたメタル配線パターンの透視図



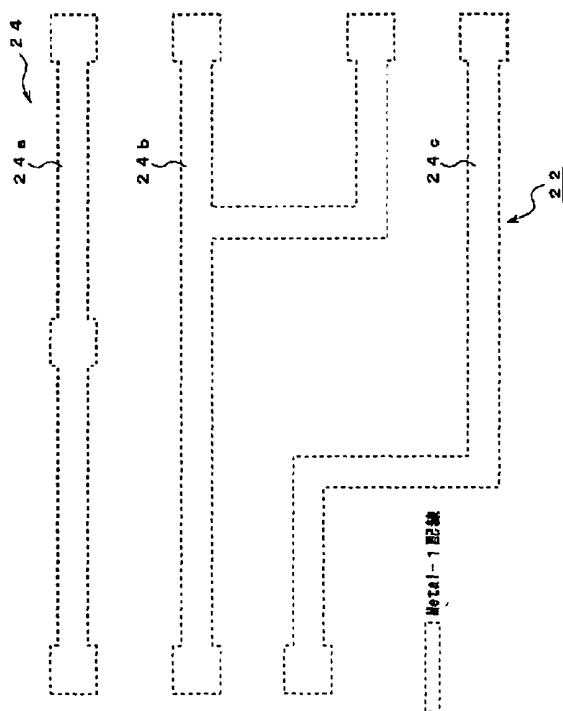
【図8】

多相メタル配線層を有するLSIチップ10



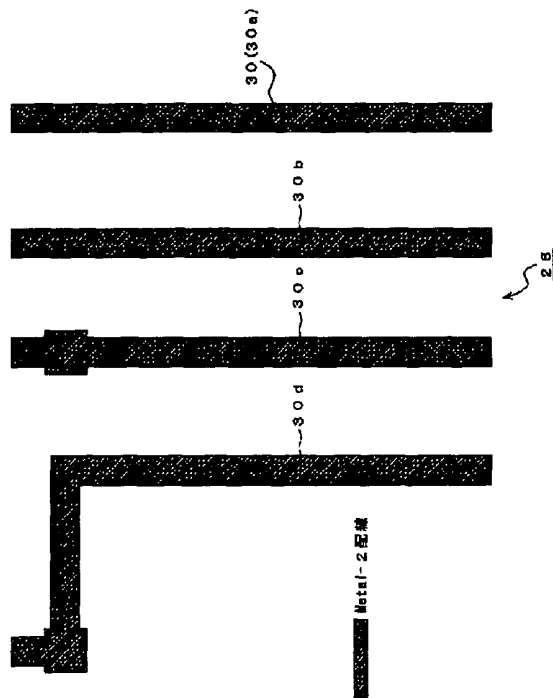
【図9】

第1層目のメタル配線パターンの例



【図10】

第2層目のメタル配線パターンの例



【図11】

メタル配線パターンの透視図

